

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—137344

⑤ Int. Cl.³
H 04 L 1/00
// H 04 B 1/74
7/00
17/00
H 04 J 3/14

識別記号

庁内整理番号

6651—5K
7015—5K
7251—5K
7230—5K
8226—5K

⑬ 公開 昭和58年(1983)8月15日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ ルート識別信号発生回路

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭57—20367

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭57(1982)2月9日

東京都港区芝5丁目33番1号

⑱ 発 明 者 森本秀明

⑲ 代 理 人 弁理士 井ノ口壽

明 細 書

1. 発明の名称

ルート識別信号発生回路

2. 特許請求の範囲

デジタル符号変換での付加ビットであるルート識別信号を発生させるための選択スイッチと、前記選択スイッチで選択したルート識別信号を2進コードに変換する論理ゲートから構成したルート識別信号発生回路。

3. 発明の詳細な説明

本発明はデジタル符号変換をする際のルート識別に必要なルート識別信号発生回路に関する。

デジタル無線回線において希望波の送信出力が断るとき他ルートからの回り込みがあつても受信側で回線切替警報を出すようにルート識別ビットを挿入している。従来、ルート識別ビットはフレーム同期用ビットを使用しており、このフレーム同期用ビットではルート識別ビッ

トの挿入位置が決められているため容易にルート識別の数を増すのは困難となる欠点があつた。

第1図はこのようなるフレーム同期用ビット発生回路の一例を、第2図はその出力値を示す。シフトレジスタ3、4、5、6にクロックパルスが入るとその情報は1ビットずつシフトされる。排他的論理和部2では最終段とその一段前のレジスタ出力情報の2進和がとられ、さらに、その出力とワード検出回路7出力の2進和が排他的論理和部1でとられて初段のレジスタにフィードバックされる。ワード検出回路7はシフトレジスタの周期が9ビット周期なるようにするものである。

ここでシフトレジスタ出力値のうち4のところがフレーム同期用ビットとされている。

第3図はDATA系列が3列の場合のデジタル符号変換フレームフォーマットの一例を示す図である。例えば(I)の場合DATA1系列にフレーム同期用ビットを挿入しDATA3系列にルート識別ビットを割りあてると第2図の周期1、

4, 7 のところのシフトレジスタ A, B, C, D の値を挿入できるが、そのビットは A 出力を使用すると 0, 1, 1, B 出力を使用すると 0, 0, 1, C 出力を使用すると 0, 1, 1, D 出力を使用すると 1, 0, 1、さらにそれぞれの反転を使用すると A 出力の場合 1, 0, 0, B 出力の場合 1, 1, 0, C 出力の場合 1, 0, 0, D 出力の場合 0, 1, 0 となる。A 出力と C 出力は同じであるためルート識別は 6 通りとなる。また周期 2, 5, 8 のところを使用するとルート識別は 4 通りしか構成できず、周期 3, 6, 9 を使用しても 6 通りしかルート識別を構成できない。またルート識別を 8 通りまで作りたいたとすると第 3 図(II)のように DATA 3 系列の全てを使用しなければならないことになる。このように同期用ビットを用いると無線付加ビットに占めるルート識別ビットの割合が多くなり最近要求されるデジタル制御線パリティチェックビットの挿入が制限される欠点があった。特にデジタル制御線については伝送容量が減少するため好

ましくなかつた。

本発明は、以上の考察にもとづいてなしたもので、その目的はルート識別ビット挿入位置がどこでも容易に挿入できまたその種類も容易に増やすことができる簡単なルート識別信号発生回路を提供することにある。

前記目的を達成するために本発明によるルート識別信号発生回路はデジタル符号変換での付加ビットであるルート識別信号を発生させるための選択スイッチと、前記ルート識別選択スイッチで選択したルート識別信号を 2 進コードに変換する論理ゲートとから構成してある。

前記構成によればデータ系列上、ルート識別ビット挿入位置を適宜設定でき、またそのルート数も容易に増加させることができ、本発明の目的を完全に達成することができる。

以下、図面を参照して本発明をさらに詳しく説明する。第 4 図は本発明によるルート識別信号発生回路の一実施例を示す回路図である。ルート識別選択スイッチ 11 は 8 通りのルートを選

択できるようになつている。論理ゲート 8, 9, 10 の入力には DC バイアスにプルアップ抵抗 12 を介して接続されており、さらに選択スイッチ 11 の出力にも接続されている。選択スイッチ 11 とは選択スイッチ 11 によつて選択されているルートに対応して論理ゲート 8, 9, 10 の (α), (β), (γ) 出力にその 2 進コードが出力されるように接続されている。

第 5 図はルート識別選択スイッチとルート識別信号 (α), (β), (γ) の関係を示す図である。今、例えば選択スイッチ 11 を ④ の位置にセットすると論理ゲート 8, 9, 10 の入力はずべてハイレベルとなり、出力は (α) = 0, (β) = 0, (γ) = 0 となる。また ⑤ の位置にセットすると論理ゲート 8 の入力の 1 つがローレベルとなり、論理ゲート入力は全てハイレベルであるため出力は (α) = 1, (β) = 0, (γ) = 0 となる。このようにして 8 通りのルート識別信号をすべて得ることができる。

以上、本実施例では 8 通りのルート識別情報

を得る場合の例について説明したが、これを 16 通りのルート識別情報を得る回路にするには第 4 図の論理ゲートを 1 つ追加し、選択スイッチも 16 通り選択できるものを使用すればよい。このようにルートを増加させても、増加するビットは 1 つで、合計で無線付加ビットに占めるルート識別信号は高々 4 個であり、他の付加ビットの占有率にほとんど影響を与えることはない。また第 3 図 (III), (IV) に示すように任意の位置にルート識別ビットを割りあてることが可能であるのでフレームフォーマット構成が容易となる。

以上、詳しく説明したように本発明によるルート識別信号発生回路によれば無線付加ビットに占めるルート識別ビットの割合を大きくすることなくルート識別の数を増やすことができるためデジタル符号変換のフレームフォーマットを構成する際にデジタル制御線、無線回線監視用のパリティチェックビット等の無線付加ビットに多く割りふることができる効果がある。

4. 図面の簡単な説明

第1図はフレーム同期ビット発生回路を示すブロック図、第2図は第1図のシフトレジスタ出力情報を示す図、第3図はフレーム変換フォーマットの例を示す図、第4図は本発明によるルート識別信号発生回路の一実施例を示すブロック図、第5図はルート識別の選択位置とその情報の対応を示す図である。

1, 2 ... 排他的論理和回路

3, 4, 5, 6 ... 1ビットシフトレジスタ

7 ... ワード検出回路

8, 9, 10 ... 論理ゲート

11 ... ルート識別選択回路

12 ... プルアップ抵抗

F ... フレーム同期ビット

X ... ルート識別ビットの挿入位置

特許出願人 日本電気株式会社

代理人 弁理士 井ノ口 壽

図1

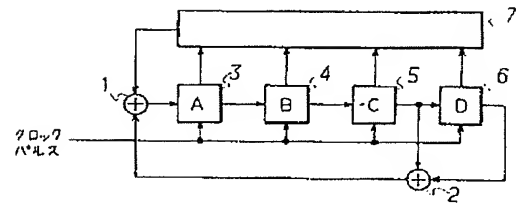


図2

シフトレジスタ 出力	A	B	C	D
1	0	0	0	1
2	1	0	0	0
3	0	1	0	0
4	1	0	1	0
5	1	1	0	1
6	1	1	1	0
7	1	1	1	1
8	0	1	1	1
9	0	0	1	1

図3

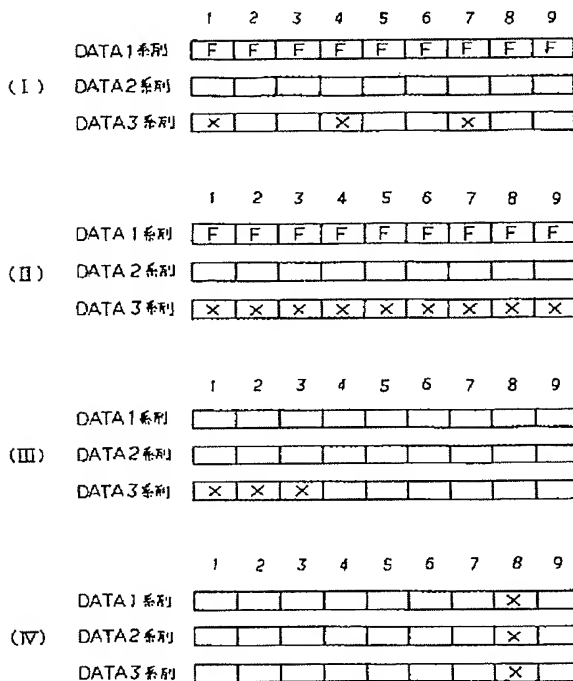


図4

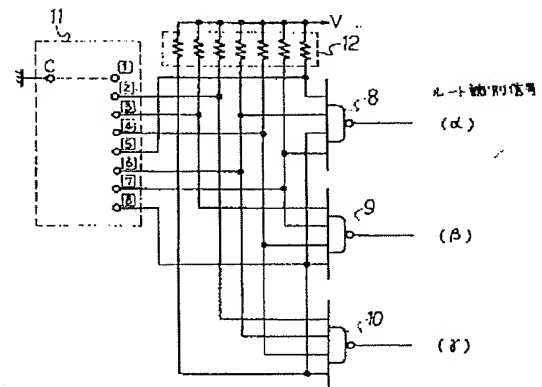


図5

スイッチの 選択位置	ルート識別信号出力 (α)	(β)	(γ)
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0
8	1	1	1